

CDLFタイプ

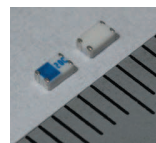
2012サイズ チップ差動ディレイライン

特 長

- ・最小、低価格（当社比）
- ・10ps ステップで調整可能
- ・15GHz 周波数帯域、10G ビット /s の高速伝送に対応
- ・マルチレーン式高速シリアル差動伝送でのレーン間スキュー調整に最適
- ・基板トレース時の面積消費および特性劣化の問題を解決（技術資料参照）
- ・ご要望により、2012 サイズ シングルエンドディレイラインも供給可能

仕 様

入出力インピーダンス	差動 100Ω ±10% (シングルエンド利用不可)
波形歪	オーバーシュート/プリシュート ±20% 未満
絶縁抵抗	DC50V、100MΩ 以上 (差動ライン間電圧印加)
耐圧	DC50V、1分間
定格電流	50mA
定格電圧	5V
使用温度範囲	-40°C ~ +85°C
保存温度範囲	-40°C ~ +120°C



品 番	遅延時間	立上がり/立下り時間(1)*		-3dB 通過帯域		直流抵抗値
		実力値(2)*	保証値(3)*	実力値(2)*	保証値(3)*	
CDLF01C	10ps ± 5ps	20ps Typ.	40ps Max.	DC ~ 20GHz	DC ~ 15GHz	0.5 Ω Max.
CDLF02C	20ps ± 5ps	20ps Typ.	40ps Max.	DC ~ 20GHz	DC ~ 15GHz	0.5 Ω Max.
CDLF03C	30ps ± 5ps	20ps Typ.	40ps Max.	DC ~ 20GHz	DC ~ 15GHz	1.0 Ω Max.
CDLF04C	40ps ± 5ps	20ps Typ.	40ps Max.	DC ~ 20GHz	DC ~ 15GHz	1.0 Ω Max.
CDLF05C	50ps ± 5ps	20ps Typ.	40ps Max.	DC ~ 20GHz	DC ~ 15GHz	1.0 Ω Max.
CDLF10C	100ps ± 10ps	20ps Typ.	40ps Max.	DC ~ 20GHz	DC ~ 15GHz	1.5 Ω Max.
CDLF15C	150ps ± 10ps	25ps Typ.	50ps Max.	DC ~ 18GHz	DC ~ 12GHz	1.8 Ω Max.
CDLF20C	200ps +10ps / -20ps	25ps Typ.	50ps Max.	DC ~ 15GHz	DC ~ 11GHz	2.5 Ω Max.
CDLF30C	300ps +10ps / -20ps	30ps Typ.	60ps Max.	DC ~ 10GHz	DC ~ 7GHz	3.5 Ω Max.

(1)* 20%~80%

(2)* 推奨ランドパターンを用いて、かつ相間スキューがない場合の値

(3)* 測定器具の周波数特性を考慮した値

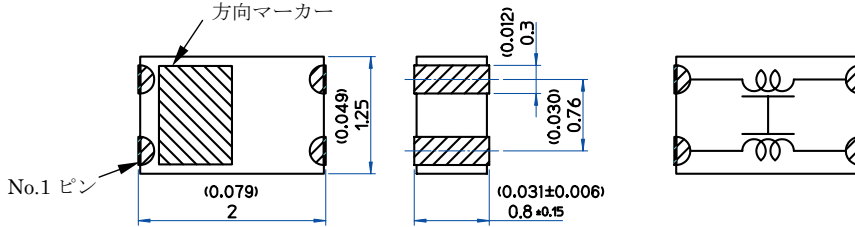
60ps~90ps、110ps~140ps、および160ps~190psの遅延時間を作成する場合の推奨組み合わせ

遅延時間	組み合わせ	遅延時間	組み合わせ	遅延時間	組み合わせ
60ps	CDLF03C × 2	110ps	CDLF01C+CDLF10C	160ps	CDLF01C+CDLF15C
70ps	CDLF03C+CDLF04C	120ps	CDLF02C+CDLF10C	170ps	CDLF02C+CDLF15C
80ps	CDLF04C × 2	130ps	CDLF03C+CDLF10C	180ps	CDLF03C+CDLF15C
90ps	CDLF04C+CDLF05C	140ps	CDLF04C+CDLF10C	190ps	CDLF04C+CDLF15C

数量によっては、上表の遅延時間を有する品番の製品化も可能です。

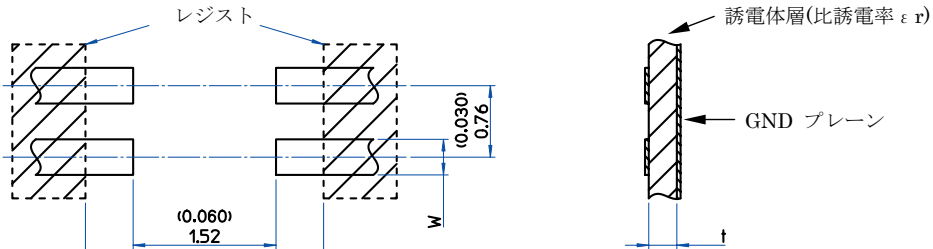
外形寸法とピン配列

単位 :mm (inch)、一般寸法公差 ± 0.1 (± 0.004)



推奨ランドパターン

単位 :mm (inch)、一般寸法公差 ± 0.1 (± 0.004)



基板の ϵ_r , t と W の関係

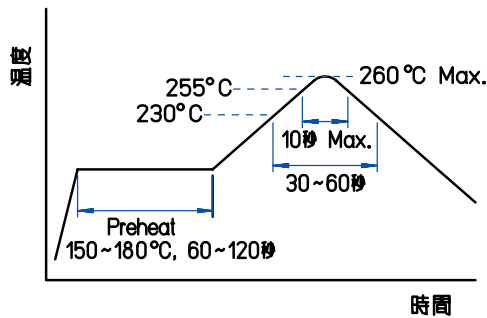
ϵ_r \ t	0.3(0.012)	0.4(0.016)	0.5(0.020)
3.5	W=0.44(0.017)	W=0.50(0.020)	W=0.52(0.020)
4.1	W=0.38(0.015)	W=0.46(0.018)	W=0.50(0.020)

推奨リフロー半田条件

J-STD-020C Pb-Free 準拠

保管条件は MSL1 で、本製品の吸湿管理は不要です。よって、リフロー前のベーキングも不要です。

許容回数：2 回

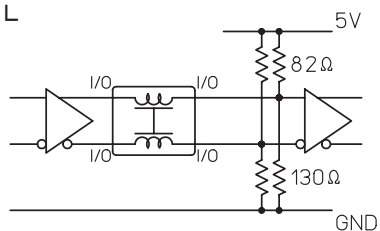


CDLFタイプ

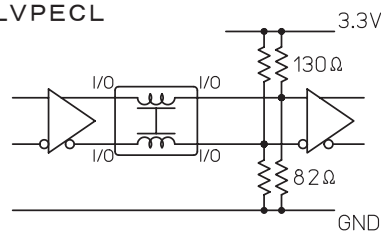
2012サイズ チップ差動ディレイライン

接続例

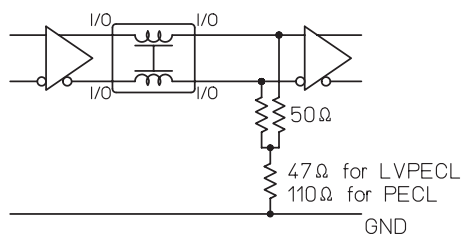
PECL



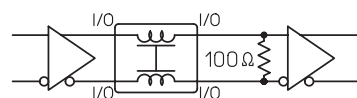
LVPECL



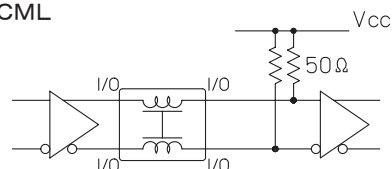
ツイストペア終端



LVDS



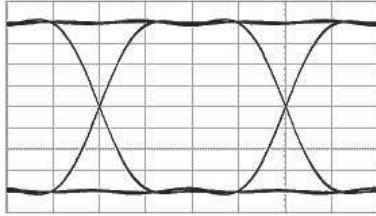
CML



特性例 (1)

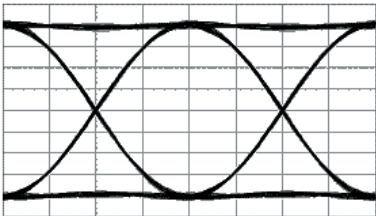
(1) CDLF05C (実測)

10Gbps 擬似ランダムパルス応答



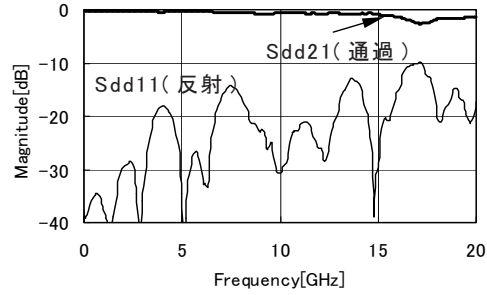
[横軸 : 25ps/Div、縦軸 : 50mV/Div]

16Gbps 擬似ランダムパルス応答

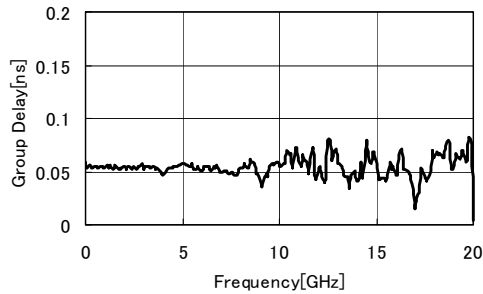


[横軸 : 15.625ps/Div、縦軸 : 50mV/Div]

差動通過／反射特性

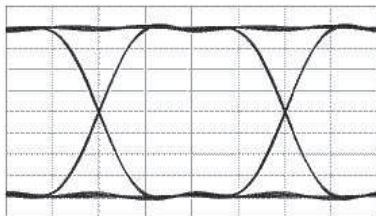


差動群遅延特性



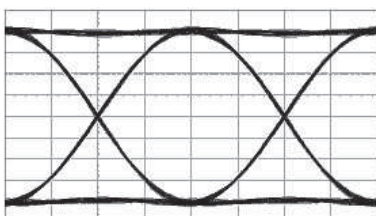
(2) CDLF10C (実測)

10Gbps 擬似ランダムパルス応答



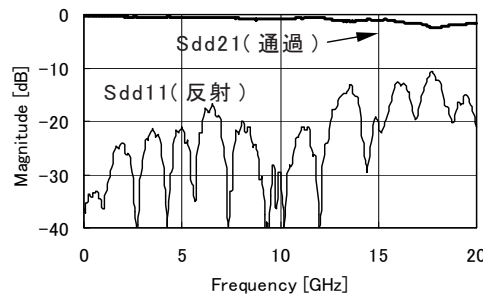
[横軸 : 25ps/Div、縦軸 : 50mV/Div]

16Gbps 擬似ランダムパルス応答

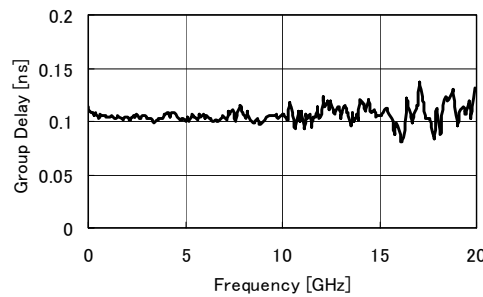


[横軸 : 15.625ps/Div、縦軸 : 50mV/Div]

差動通過／反射特性



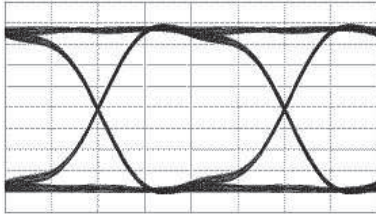
差動群遅延特性



特性例 (2)

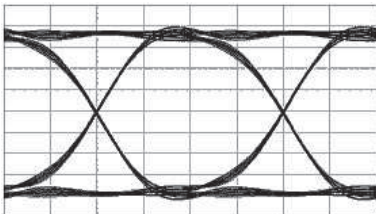
(3) CDLF20C (実測)

10Gbps 擬似ランダムパルス応答

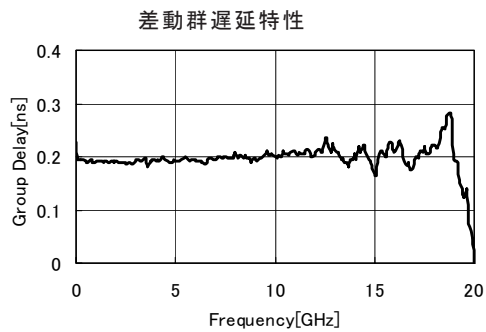
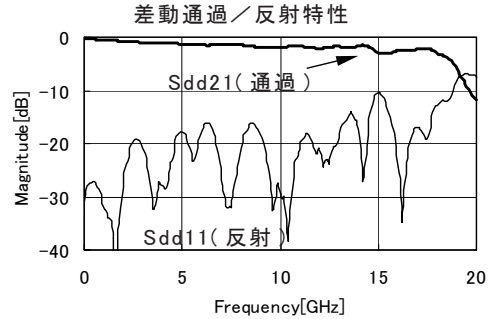


[横軸 : 25ps/Div、縦軸 : 50mV/Div]

12.5Gbps 擬似ランダムパルス応答

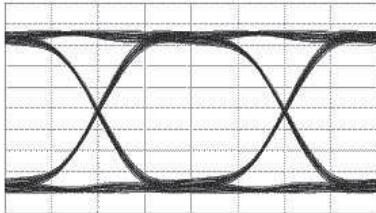


[横軸 : 20ps/Div、縦軸 : 50mV/Div]



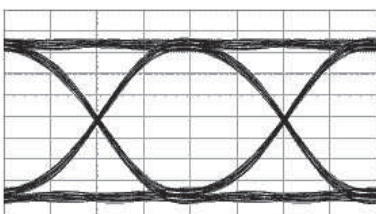
(4) CDLF30C (実測)

10Gbps 擬似ランダムパルス応答

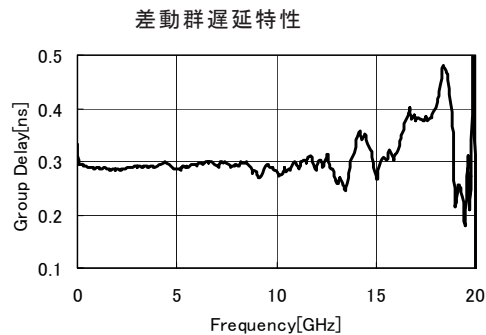
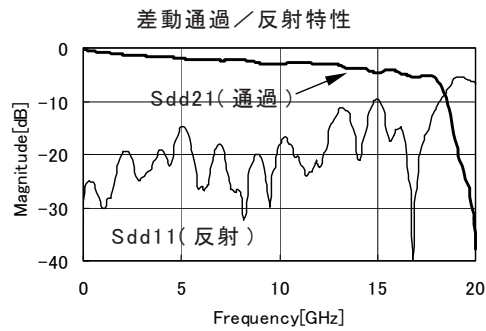


[横軸 : 25ps/Div、縦軸 : 50mV/Div]

12.5Gbps 擬似ランダムパルス応答



[横軸 : 20ps/Div、縦軸 50mV/Div]



技術資料

数十 ps の遅延時間の調整には、折り返し線路を使用した基板トレース方法が採用されるケースがある。仮に 100ps を調整する場合、図 1 のような差動ペア間を結合した基板トレース、または図 2 のような差動ペア間を非結合とした基板トレースになると想定できるが、どちらもトレース面積が非常に大きくなってしまふ。また、図 1 はコーナーでのアンバランスによって差動ペア間に時間差が生じ、中間点でコモンモードノイズが発生してノイズ放射の恐れが考えられる。図 2 では 10GHz 以上の帯域で良好な特性が得られない可能性が高い。

そこで、図 1、2 について電磁界シミュレータを用いて検証し、CDLF10C と特性を比較する。基板は、本カタログの推奨ランドパターンに掲載の条件（基板裏面はベタ GND）とし、 $W=0.38\text{mm}$ 、 $t=0.3\text{mm}$ 、 $\epsilon_r=4.1$ の組合せとする。

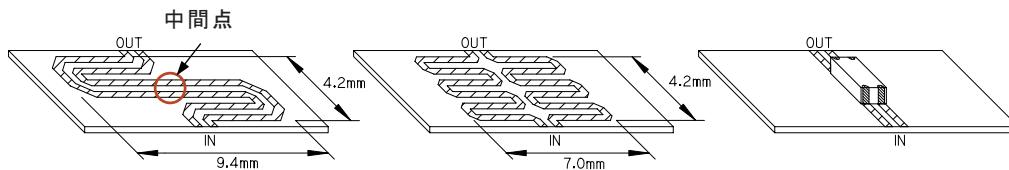
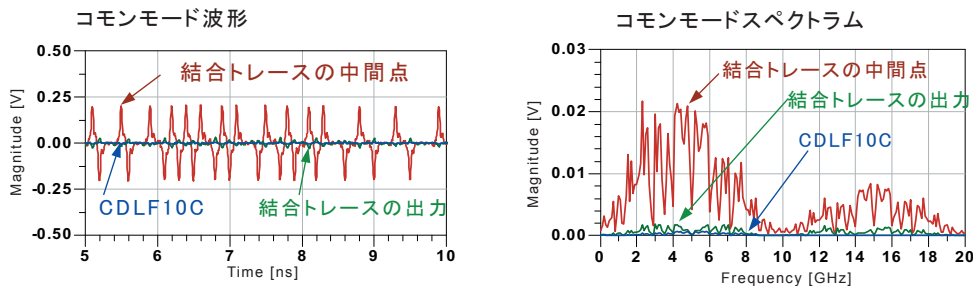


図 1 差動ペア間結合トレース例 (トレース面積 : 40mm^2) 図 2 差動ペア間非結合トレース例 (トレース面積 : 30mm^2) 図 3 CDLF10C で時間調整した場合の実装イメージ図 (実装面積 : 2.5mm^2)

結合トレース (図 1) と CDLF10C (図 3) の比較



非結合トレース (図 2) と CDLF10C (図 3) の比較

